

Il Laboratorio congiunto tra Dipartimento di Elettronica ed ST-Microelectronics, denominato Studio di Microelettronica, ospita circa 40 ricercatori.

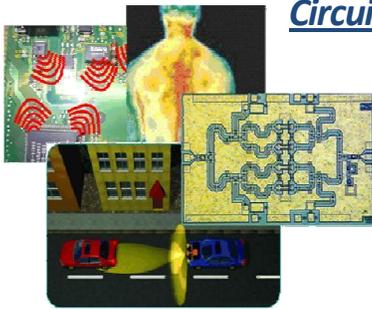
Le tematiche di interesse riguardano i circuiti e sistemi integrati per comunicazioni, energetica e salute.

- **10 borse di studio** per neo-laureati erogate ogni anno
- Possibilità di **attività all'estero** in varie sedi dell'azienda (**USA, Canada, Francia**)



Per ulteriori informazioni contattare i proff. Francesco Svelto ed Andrea Mazzanti

Circuiti integrati ad onde millimetriche in tecnologie CMOS super scalate



Questa attività di ricerca mira a sviluppare circuiti integrati con dispositivi a scala nanometrica per applicazioni funzionanti nella banda **30-300GHz**. Applicazioni comprenderanno comunicazioni radio con rate superiore a 5Gbit/sec ma anche, grazie alla ridotta lunghezza d'onda in questa banda, **sensori, sistemi di sorveglianza e sicurezza, rilevamento di immagini medicali** con tecniche radar. Gli elementi radianti sono di dimensioni sufficientemente piccole da permetterne l'integrazione all'interno del package o addirittura sullo stesso substrato di silicio permettendo la comunicazione senza fili fra chip sulla stessa board.

Attività di tesi e tematiche di Dottorato di Ricerca spaziano dalla modellizzazione e misura di dispositivi in silicio (attivi e passivi) alla progettazione e test di blocchi circuitali (amplificatori a basso rumore, amplificatori di potenza, sintetizzatori, mixers) per applicazioni a 20-30 GHz e 60-77 GHz, 100-130GHz.



Interfacce seriali ad alta velocità

La recente evoluzione delle interfacce seriali in tutti i settori delle comunicazioni è stata orientata all'aumento della velocità di trasmissione dei dati e alla riduzione del consumo di potenza. Questo trend è risultato da un lato nel miglioramento delle interfacce puramente elettroniche su rame fino a 25Gb/s (**USB3, Ethernet, PCI-express, SATA**), dall'altro nello sviluppo di sistemi integrati ottici ed elettronici, al punto che anche le prossime generazioni di interfacce seriali per applicazioni di largo consumo saranno di tipo ottico (**USB4**).

Uno degli sviluppi più promettenti consiste nell'integrazione on-chip di funzioni elettro-ottiche, usando una piattaforma tecnologica chiamata **silicon photonics**, che offre l'opportunità di trasmettere dati fino a **Terabit/s** ottimizzando costi e performance.

Attività di tesi e tematiche di Dottorato di Ricerca riguardano tutti gli aspetti del processo di progettazione e misura di circuiti su silicio per interfacce seriali a 14, 25, 40Gb/s, sia elettroniche che integrate ottiche-elettroniche (amplificatori, equalizzatori, PLL, CDR), incluse analisi di sistema per l'ottimizzazione di architetture e algoritmi misti analogico-digitali.

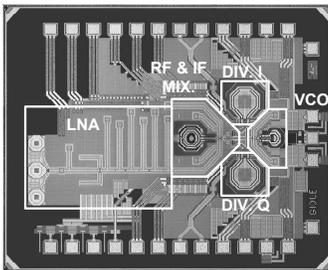
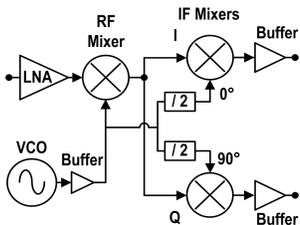
Architetture e circuiti per ecografia di prossima generazione



La diagnostica per immagini è uno strumento fondamentale in ambito medico. L'ecografia (che utilizza **onde acustiche ad alta frequenza**) fornisce uno dei migliori compromessi fra qualità delle immagini, costo e rischi per la salute. Gli ecografi attuali fanno uso di componenti elettronici discreti, assemblati su scheda. Le dimensioni e il costo possono essere drasticamente ridotti tramite **tecnologie ad alto livello di integrazione** e lo sviluppo di circuiti integrati dedicati. Questo renderà disponibile, nel prossimo futuro, apparecchi sempre più compatti, con miglior risoluzione e qualità delle immagini a costo sempre più basso. È ragionevole ipotizzare che dispositivi di questo tipo possano divenire parte della dotazione standard di qualunque **studio medico**.

Tesi di laurea e tematiche di dottorato in questo ambito riguardano lo studio di architetture innovative per gestire matrici dense (3000 trasduttori) di ricetrasmittitori ad ultrasuoni, la modellistica di trasduttori e lo sviluppo di circuiti integrati a bassa potenza e basso rumore per i ricevitori ed alta tensione (oltre 100V) alta efficienza e linearità per i trasmettitori.

I risultati scientifici ottenuti in questi anni sono stati presentati alle **conferenze internazionali** più prestigiose. Tutti gli studenti di dottorato che hanno conseguito il titolo sotto la supervisione del prof. Svelto hanno presentato il loro lavoro a *International Solid-State Circuits Conference* di **San Francisco**, principale forum mondiale.

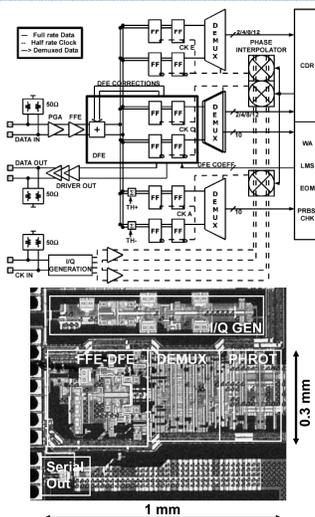


A wideband mm-Wave CMOS receiver for Gb/s communications employing interstage coupled resonators

F. Vecchi, S. Bozzola, M. Pozzoni, D. Guermandi, E. Temporiti, M. Repposi, U. Decanis, A. Mazzanti, F. Svelto

Abstract : A 65 nm CMOS sliding-IF receiver comprising 3 LNA gain stages, RF mixer, quadrature IF mixers, VCO and dividers is presented. Coupled resonators, both in the LNA and RF mixer, allow an important gain-bandwidth extension over conventional single LC neutralization. Realized prototypes show >13 GHz RF bandwidth around 60 GHz, <6.5 dB NF, -21 dBm P_{1dB} , 12.6% VCO frequency range, and -115 dBc/Hz phase noise at 10 MHz offset from the carrier while drawing 75 mW.

IEEE International Solid State Circuit Conference (ISSCC)
7-11 Feb. 2010, *San Francisco, USA*

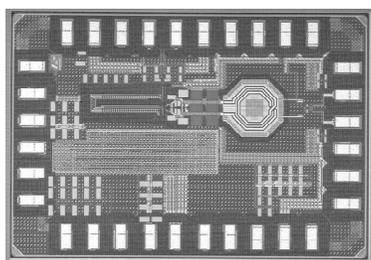
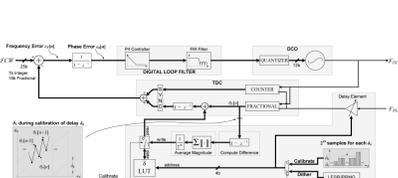


A Multi Standard 1.5 to 10Gb/s Latch-Based 3-Tap DFE Receiver with a SSC Tolerant CDR for Serial Backplane Communication

M. Pozzoni, S. Erba, P. Viola, M. Pisati, E. Depaoli, D. Sanzogni, R. Brama, D. Baldi, M. Repposi, F. Svelto.

Abstract : A 1.5 to 10Gb/s SATA/SAS/FC receiver in 65nm CMOS is presented. It is based on an adaptive 3-tap latch-based DFE data recovery with self-aligning capability and on an early-late digital clock recovery capable of SSC tracking. Extensive digital features allow self-calibration and eye analysis. The macro measures 0.3mm² and consumes 140mA from 1V at 8.5Gb/s.

IEEE Symposium on VLSI circuits
18-20 June 2008, *Honolulu, Hawaii*



A 3.5GHz wideband ADPLL with fractional spur suppression through TDC dithering and feedforward compensation

C. Weltin-Wu, E. Temporiti, D. Baldi, M. Cusmai, F. Svelto

Abstract : A 3.5 GHz fractional-N ADPLL with a 3.4 MHz bandwidth operating from a 35 MHz reference is presented. Using a dithering algorithm and feedforward compensation around the TDC results in spurious performance better than -58 dBc, and in-band phase noise of -101 dBc/Hz. The IC with fully integrated calibration logic occupies 0.44 mm² in 65 nm CMOS, and consumes 8.7 mW.

IEEE International Solid State Circuit Conference (ISSCC)
7-11 Feb. 2010, *San Francisco, USA*